

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)(51) Int. Cl.
H04L 27/36(21) 출원번호
(22) 출원일자
(73) 특허권자특1995-054532
1995년 12월 22일
한국전자통신연구원, 양승택
대한민국
대전광역시 유성구 가정동 161번지

(72) 발명자

이동욱
대한민국
대전광역시 서구 삼천동 993 청솔아파트 5-1205
정재욱
대한민국
대전광역시 유성구 가정동 236-1 기숙사 구관 225

(74) 대리인

김명진
대한민국
대전광역시 유성구 신성동 한솔아파트 109-1204

이화익

김영길

원혜중

김명섭

(77) 심사청구

심사관: 이두한

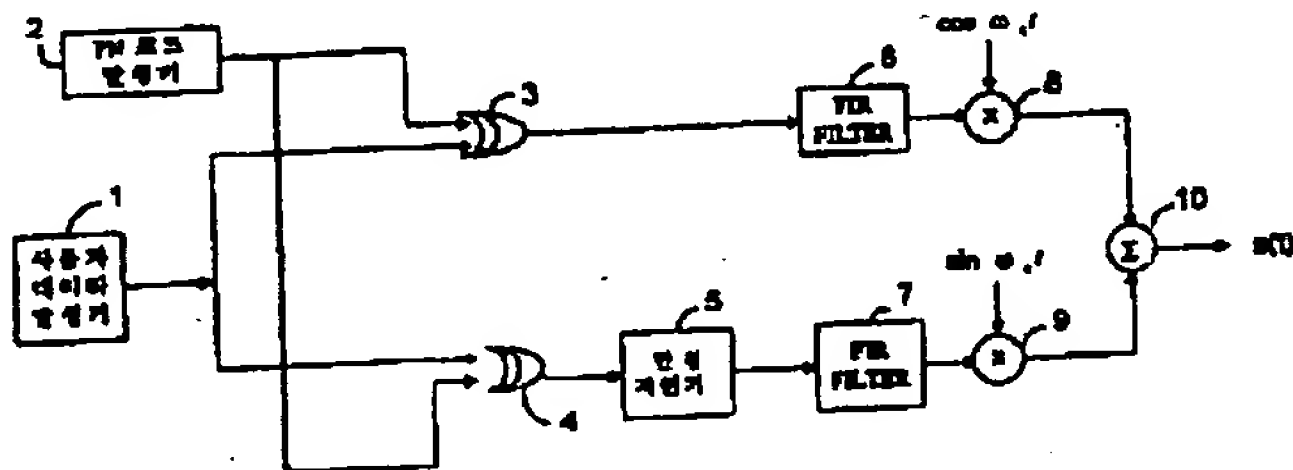
(54) 발명명

직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치

요약

본 발명은 직접 시퀀스 확산 스펙트럼(Direct Sequence Spread Spectrum, 이하 DSSS라고 약칭함)의 오프셋 직각위상 쉬프트 키잉(Offset Quadrature-Phase Shift Keying, 이하 OQPSK라고 약칭함)의 칩 변조장치에 관한 것으로서, 그 특징은 메시지 신호의 동위상 신호를 보내는 I-채널과 상기 메시지 신호의 직각위상 신호를 보내는 Q-채널을 가지고 있는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치에 있어서, 의사잡음을 발생시키는 의사잡음 발생수단과, 제 1 할쉬코드를 생성하는 제 1 할쉬코드 발생수단과, 상기 의사잡음 코드를 상기 제 1 할쉬코드로 확산시켜 출력하는 제 1 확산수단과, 상기 메시지 신호를 상기 제 1 확산수단의 출력신호로 확산시켜 상기 I-채널로 출력하는 제 1 프리코딩 수단과, 상기 제 1 할쉬코드와 직교하는 제 2 할쉬코드를 생성하는 제 2 할쉬코드 발생수단과, 상기 의사잡음 코드를 상기 제 2 할쉬코드로 확산시켜 출력하는 제 2 확산수단 및 상기 메시지 신호를 상기 제 2 확산수단의 출력신호로 확산시켜 상기 Q-채널로 출력하는 제 2 프리코딩 수단을 포함하는 데에 있으므로, 본 발명은 종래의 DSSS QPSK 변조장치에 약간의 확산코드와 프리코딩 장치를 결합한 구조로서, DSSS에서 인접 심볼간의 간섭을 없애주며 OQPSK의 특성을 그대로 살려서 시간지연 장치없이 스펙트럼 확산용 코드만으로 구성이 가능하다는 데에 그 효과가 있다.

대표도



명세서

[발명의 명칭]

직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치

[도면의 간단한 설명]

제1도는 종래의 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치의 블록도.

제2도는 오프셋 QPSK의 데이터 스트림을 나타낸 도면.

제3도는 QPSK와 오프셋 QPSK의 파형도.

제4도는 반 칩 지연이 필요없는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치의 실시예를 도시한 블록도.

제5도는 본 발명에 따른 반 칩 지연이 필요없는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치를 64-ary 데이터 변조장치에 적용된 실시예를 도시한 블록도.

제6도는 본 발명에 따른 반 칩 지연이 필요없는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치의 신호 스페이스를 도시한 도면.

제7도는 반 칩 지연이 필요없는 64-ary 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치의 블록도.

[발명의 상세한 설명]

본 발명은 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치에 관한 것으로서, 특히 직접 시퀀스 확산 스펙트럼(Direct Sequence Spread Spectrum, 이하 DSSS라고 약칭함)의 오프셋 직각위상 쉬프트 키잉(Offset Quadrature-Phase Shift Keying, 이하 OQPSK라고 약칭함)의 칩 변조장치에 관한 것이다.

제1도는 종래의 DSSS OQPSK 칩 변조장치의 블록도이다.

제1도를 참조하여 종래의 DSSS OQPSK 칩 변조장치를 설명하면 다음과 같다.

종래의 DSSS OQPSK 칩 변조장치에서는 사용자 데이터 발생기(1)의 출력을 동위상 채널(In Phase channel, 이하 I-채널이라고 약칭함)과 직각위상 채널(Quadrature Phase channel, 이하 Q-채널이라고 약칭함)의 두 채널로 나뉜다.

그리고, PN 코드 발생기(2)에 의해 확산(Spreading)된다.

이 때에 I-채널에서는 입력신호의 데이터의 출력이 그대로 확산되어 나가고, Q-채널에서는 반 칩 지연기(5)를 거쳐 반 칩만큼 지연된 신호가 나가게 된다.

제2도는 OQPSK의 데이터 스트림을 나타낸 도면이다.

제2도를 참조하여 OQPSK의 데이터 스트림을 설명하면 다음과 같다.

$d_i(t)$ 는 제1도의 I-채널의 배타적 논리합(3)의 출력을 나타내며, $d_o(t)$ 는 Q-채널의 반 칩 지연기(5)의 출력을 나타낸다.

여기서, 한 칩의 시간적 길이는 $2T$ 이다.

도면에서 보여지는 것처럼 Q-채널의 출력은 I-채널과 비교하여 반 칩의 시간적 길이(T)만큼 지연되어 나가게 된다.

제3도는 QPSK와 OQPSK의 파형도이다.

제3도를 참조하여 시간축에서 살펴본 QPSK와 OQPSK의 파형을 설명하면 다음과 같다.

제3도의 (b)는 제1도의 더셈기(10)의 송신단 출력 $s(t)$ 을 나타내며, 제3도의 (a)인 QPSK와 비교해 볼 때 위상의 변화가 QPSK는 180도까지 변화하나, OQPSK에서는 최대 90도로 변화함을 확인할 수 있다.

종래의 DSSS OQPSK 칩 변조 방식에서는 이처럼 인접 심벌(symbol)간의 변화가 최대 90도로써 급격히 변화하지 않는 장점이 있지만, 반 칩 지연장치 때문에 복잡하고, 동위상 신호와 직각위상 신호 사이의 상호 간섭이 존재하여 성능을 저하시킨다는 문제점이 있었다.

상기 문제점을 해결하기 위한 본 발명의 목적은 동위상 신호와 직각위상 신호 사이의 상호간섭을 없애주고, 반 칩 지연장치 없이 프리코딩된(pre-coded) PN 코드(Pseudo-random Noise Code, 이하 PN코드라고 약칭함)를 사용하여 간단하게 구현한 새로운 방법의 DSSS OQPSK 칩 변조 장치를 제공함에 있다.

상기 목적을 달성하기 위한 본 발명의 특징은 메시지 신호의 동위상 신호를 보내는 I-채널과 상기 메시지 신호의 직각위상 신호를 보내는 Q-채널을 가지고 있는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치에 있어서, 의사잡음을 발생시키는 의사잡음 발생수단과, 제 1 할취코드를 생성하는 제 1 할취코드 발생수단과, 상기 의사잡음 코드를 상기 제 1 할취코드로 확산시켜 출력하는 제 1 확산수단과, 상기 메시지 신호를 상기 제 1 확산수단의 출력신호로 확산시켜 상기 I-채널로 출력하는 제 1 프리코딩 수단과, 상기 제 1 할취코드와 직교하는 제 2 할취코드를 생성하는 제 2 할취코드 발생수단과, 상기 의사잡음 코드를 상기 제 2 할취코드로 확산시켜 출력하는 제 2 확산수단 및 상기 메시지 신호를 상기 제 2 확산수단의 출력신호로 확산시켜 상기 Q-채널로 출력하는 제 2 프리코딩 수단을 포함하는 데에 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들중의 하나를 상세히 설명한다.

제4도는 본 발명에 따른 반 칩 지연이 필요없는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치의 실시예를 도시한 블록도이다.

제4도를 참조하여 본 발명에 따른 반 칩 지연이 필요없는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치의 실시예를 설명하면 다음과 같다.

일반적인 DSSS QPSK 칩 변조장치(29)와 PN 코드를 프리코딩 장치가 결합된 구조이다.

일반 DSSS QPSK 칩 변조장치(29)에서 사용자 데이터 발생기(11)에서 발생된 입력 데이터는 동위상과 직각위상 PN 코드 발생기(12)의 출력과 곱해져(Modular 2 연산)확산된다.

이 확산된 신호인 배타적 논리합(17)의 출력과 배타적 논리합(18)의 출력은 각각 FIR(Finite Impulse Response) 필터(19,20)의 입력으로 들어간다.

이 FIR 필터(19,20)의 출력신호는 송신출력 제어장치(21,22)로 들어가고, 이 송신출력 제어장치(21,22)는 입력신호에 따라 송신 전력 증폭기(Power Amplifier)의 출력을 제어하게 된다.

I-채널에서는 송신출력 제어장치(21)의 출력이 국부 발진기(23)에서 발생된 신호인 $\cos\omega_c$ 와 곱해져 혼합기(Mixer)(24)의 출력으로 나가고, Q-채널에서는 90도 위상을 변화시키는 위상 추이기(26)의 출력 $\sin\omega_c$ 와 곱해져 혼합기(25)의 출력으로 나가기 된다.

이들 I-채널 및 Q-채널에서 혼합기(24,25)의 출력은 서로 합해지고, 더셈기(27)의 출력은 안테나(28)를 통해 송신된다.

PN 코드를 프리코딩하는 장치를 자세히 살펴보면 다음과 같다.

I-채널에서의 프리코딩 방법은 W_{2k} 를 생성하는 할쉬(Walsh) 코드 발생기(13)의 출력과 PN 코드를 곱하여 얻어지는 프리코딩된 신호는 배타적 논리합(15)의 출력이다.

그리고, Q-채널에서의 프리코딩 방법은 동일한 PN 코드를 W_{2k+1} 을 생성하는 할쉬코드 발생기(14)의 출력과 곱해져 프리코딩된 신호는 배타적 논리합(16)의 출력이다.

여기서, 사용하는 할쉬코드 발생기(13,14)에서 발생되는 할쉬코드는 PN 코드 발생기의 칩 율과 동일하며, 아래와 같은 성질을 갖는 아다마르 행렬(Hadamard Matrix)로부터 구해진다.

직교 코드워드 세트(Orthogonal Codeword Set)를 다음과 같이 나타낸다.

수학식

$$H_1 = \begin{bmatrix} 0 & 0 \\ 0 & 1 \end{bmatrix}$$

$$H_2 = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 1 & 1 \\ 0 & 1 & 1 & 0 \end{bmatrix} = \begin{bmatrix} H_1 & H_1 \\ H_1 & H_1 \end{bmatrix}$$

이를 일반화하여 k로 나타내면 다음과 같다.

수학식

$$H_k = \begin{bmatrix} H_{k-1} & H_{k-1} \\ H_{k-1} & H_{k-1} \end{bmatrix}$$

여기서, H_k 는 $2^k \times 2^k$ 의 행렬로 나타내는데, 행렬의 각각의 행은 할쉬코드를 나타낸다.

여기서, W_{2k} 와 W_{2k+1} 을 사용하였는데, 두 할쉬코드의 시퀀스(Sequence)를 자세히 살펴보면 다음과 같은 성질을 발견할 수 있다.

W_{2k} 가 2_k 번째 할쉬코드의 1번째 출력이고, $\overline{W_{2k}}$ 는 W 의 1의 보수(1's complement)라고 할 때에 다음과 같은 관계식이 성립한다.

$$W_{2k,i} = W_{2k+1,i} \quad \text{이면, } W_{2k+1,i+1} = \overline{W_{2k+1,i+1}}$$

$$W_{2k,i} = \overline{W_{2k+1,i}} \quad \text{이면, } W_{2k,i+1} = W_{2k+1,i+1}$$

따라서, 출력의 위상변화가 180도가 되는 경우 즉, 출력의 위상변화가 180도가 되는 경우는 전혀 나타나지 않는다.

$$W_{2k+1,i+1} = \overline{W_{2k,i}} \quad \text{ 이고, } W_{2k+1,i+1} = \overline{W_{2k,i}}$$

이와 같은 장치를 DSSS QPSK 변조장치에 장치했을 때에 출력에서의 위상변화는 90도를 넘지 않는 OQPSK 출력특성과 같게 된다. 이를 할쉬코드 W_{2k} 를 사용한 동위상 축과 할쉬코드 W_{2k+1} 를 사용한 직각위상 축으로 제6도와 같은 스페이스 신호도를 그려 볼 수 있다.

제6도는 본 발명에 따른 반 칩 지연이 필요없는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치의 신호 스페이스를 도시한 도면이다.

제6도에서는 살펴볼 수 있듯이 인접심볼간의 위상변화가 90도 이내임을 알 수 있다.

제5도는 본 발명에 따른 반 칩 지연이 필요없는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치를 64-ary 데이터 변조장치에 적용된 실시예를 도시한 블록도이다.

제5도를 참조하여 본 발명에 따른 반 칩 지연이 필요없는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치를 64-ary 데이터 변조장치에 적용된 실시예를 설명하면 다음과 같다.

먼저, 사용자 발생기(31)로부터 나오는 신호를 64-ary 직교(Orthogonal) 변조기(32)에서 64×64 의 직교코드로 변조하게 된다.

제 1 Walsh 함수(Walsh Function)(W0)에서부터 제 64 Walsh 함수(W63)까지의 64개의 각기 다른 이진 시퀀스(Binary Sequence)를 갖는 직교 코드 세트(Orthogonal Code Word)로 바뀌어 출력된다.

여기서, 각 시퀀스의 세트를 Walsh 함수라고 한다.

64-ary 직교 변조기(32)의 출력을 Walsh 칩(Walsh Chip)이라 하며, 1 Walsh 칩에 4개의 확산 시퀀스가 들어가므로, I, Q의 Walsh 함수의 주기가 4 칩이며 앞서 설명하였던 아다마르 행렬에서 4차원의 H4를 사용할 수 있다.

따라서, 제4도의 Walsh 코드에서 k는 0 또는 1이 될 수 있다.

64-ary 변조기(32)의 출력은 PN 코드 발생기(33)로 확산되며, I-채널에서는 W_{2k} 을 곱해주고, Q-채널에서는 W_{2k+1} 을 곱해준다.

나머지 신호처리 과정은 앞서 제1도에서 설명한 것과 동일하다.

제7도는 반 칩 지연이 필요한 64-ary 직접 시퀀스 확산 스펙트럼 OQPSK 칩 복조장치의 블록도이다.

제7도를 참조하여 반 칩 지연이 필요한 64-ary 직접 시퀀스 확산 스펙트럼 OQPSK 칩 복조장치를 설명하면 다음과 같다.

제7도는 송신단에서 제5도에서의 반 칩 지연이 필요한 DSSS OQPSK 변조장치를 64-ary 데이터 변조장치에 적용하여 송신한 신호에 대하여 수신단에서 다시 원래의 신호로 복원해낼 수 있는 복조장치이다.

제7도에서의 I-채널에서는 안테나(51)로부터 수신되는 신호와 국부 발진기(55)에서 발생된 신호 $\cos \omega_c t$ 가 곱해지고, Q-채널에서는 안테나(51)로부터 수신되는 신호와 90도 위상차이(54)의 출력 $\sin \omega_c t$ 와 곱해져 베이스밴드(Baseband) 신호로 하향변환된다.

이를 I, Q-채널에서 혼합기(52, 53)의 출력은 FIR 필터(58, 59)의 입력으로 들어간다.

Walsh 코드 발생기(56)에서 출력된 Walsh 코드 W_{2k} 과 PN 코드 발생기(73)에서 출력된 PN 코드가 배타적 논리합(60, 62)에서 확산되어 출력된다.

또한, Walsh 코드 발생기(57)에서 출력된 Walsh 코드 W_{2k+1} 과 PN 코드 발생기(73)에서 출력된 PN 코드가 배타적 논리합(61, 63)에서 확산되어 출력된다.

곱셈기(64)에서는 FIR 필터(58)의 출력신호와 배타적 논리합(60)의 출력신호가 곱해져서 출력된다.

곱셈기(65)에서는 FIR 필터(58)의 출력신호와 배타적 논리합(61)의 출력신호가 곱해져서 출력된다.

곱셈기(66)에서는 FIR 필터(59)의 출력신호와 배타적 논리합(62)의 출력신호가 곱해져 출력된다.

곱셈기(64)에서는 FIR 필터(59)의 출력신호와 배타적 논리합(63)의 출력신호가 곱해져 출력된다.

I-채널에서는 덧셈기(68)에서는 곱셈기(64)의 출력신호와 곱셈기(67)의 출력신호의 합으로 출력된다.

마찬가지로, Q-채널에서는 덧셈기(69)에서는 곱셈기(65)의 출력신호와 곱셈기(66)의 출력신호의 합으로 출력된다.

여기서, Walsh 코드 발생기(56, 57)에서 생성되는 Walsh 코드와 PN 코드 발생기(73) 출력의 칩 률(Rate)은 동일하다.

64-ary 복조기인 FHT(Fast Hadamard Transform)(70)에서는 곱셈기(68)의 출력신호와 곱셈기(69)의 출력신호를 입력받아 6 Walsh 심벌(Walsh Symbol)동안 64개의 계수(Coefficient) 값이 출력된다.

최대 출력선택기(71)에서는 곱셈기(69)의 출력신호를 입력받아 가장 큰 값을 선택하여 출력한다.

사용자 데이터 출력(72)에서는 송신한 데이터를 찾아낸다.

그러므로, 상술한 바와 같은 본 발명은 종래의 DSSS OQPSK 변조 장치에 약간의 확산코드와 프리코딩 장치를 결합한 구조로서, DSSS에서 입접 심볼간의 간섭을 없애주며 OQPSK의 특성을 그대로 살려서 시간지연 장치없이 스펙트럼 확산용 코드만으로 구성이 가능하다는 데에 그 효과가 있다.

(57) 청구의 범위

청구항 1.

메시지 신호의 동위상 신호를 보내는 I-채널과 상기 메시지 신호의 직각위상 신호를 보내는 Q-채널을 가지고 있는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치에 있어서, 의사잡음을 발생시키는 의사잡음 발생수단과; 제 1 Walsh 코드를 생성하는 제 1 Walsh 코드 발생수단과; 상기 의사잡음 코드를 상기 제 1 Walsh 코드로 확산시켜 출력하는 제 1 확산수단과; 상기 메시지 신호를 상기 제 1 확산수단의 출력신호로 확산시켜 상기 I-채널로 출력하는 제 1 프리코딩 수단과; 상기 제 1 Walsh 코드와 직교하는 제 2 Walsh 코드를 생성하는 제 2 Walsh 코드 발생수단과; 상기 의사잡음 코드를 상기 제 2 Walsh 코드로 확산시켜 출력하는 제 2 확산수단; 및 상기 메시지 신호를 상기 제 2 확산수단의 출력신호로 확산시켜 상기 Q-채널로 출력하는 제 2 프리코딩 수단을 포함하는 것을 특징으로 하는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치.

청구항 2.

제1항에 있어서, 상기 제 1 Walsh 코드 발생수단이 발생시키는 상기 제 1 Walsh 코드의 칩률과 상기 제 2 Walsh 코드 발생수단이 발생시키는 상기 제 2 Walsh 코드의 칩률이 상기 의사잡음 발생수단이 생성하는 상기 의사잡음의 칩률과 동일한 것을 특징으로 하는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치.

청구항 3.

제 1항에 있어서, 상기 제 1 할쉬코드 발생수단이 발생시키는 상기 제 1 할쉬코드와 상기 제 2 할쉬코드 발생수단이 발생시키는 상기 제 2 할쉬코드가 아다마르 행렬로부터 구해지는 것을 특징으로 하는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치.

청구항 4.

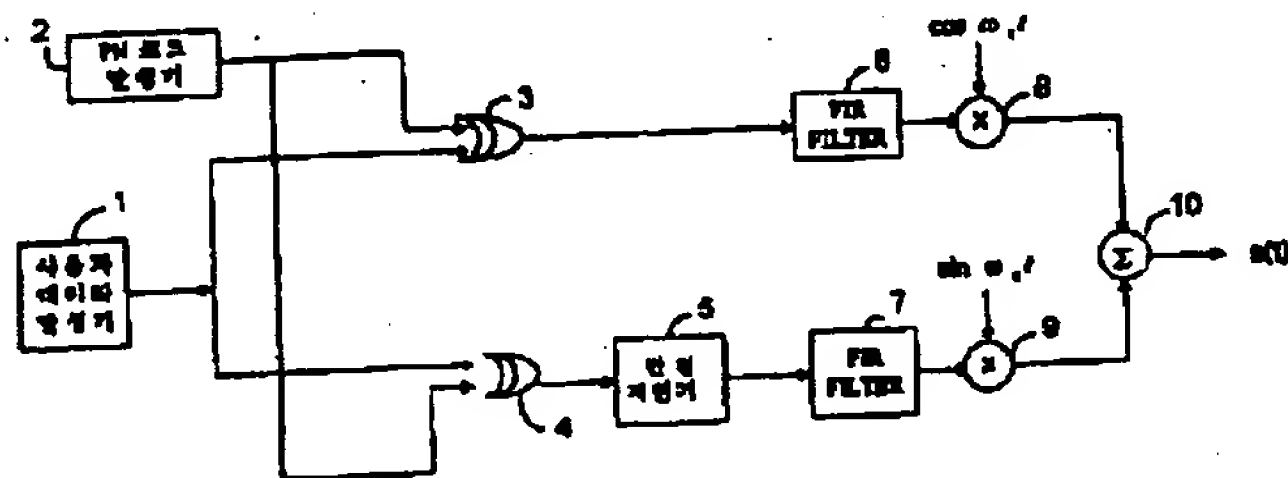
제 1항에 있어서, 상기 제 1 확산수단과 상기 제 2 확산수단과 상기 제 1 프리코딩 수단과 상기 제 2 프리코딩 수단이 두 개의 입력신호의 배타적 논리합을 연산하여 출력하는 것을 특징으로 하는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치.

청구항 5.

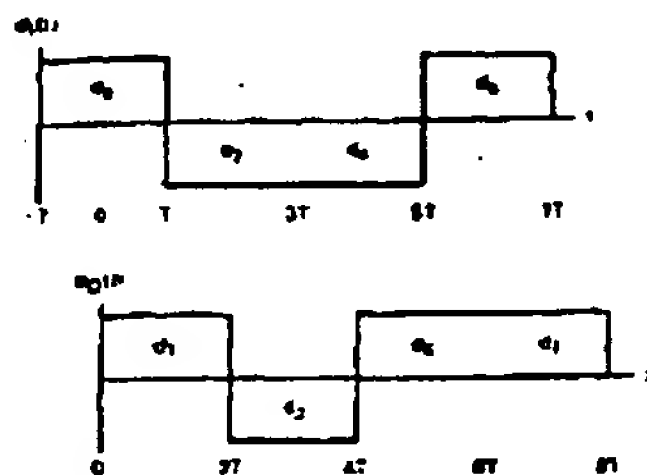
제 1항에 있어서, 상기 I-채널의 코드 발생기의 소정 번째의 출력이 상기 Q-채널의 코드 발생기의 소정 번째 출력과 같으면, 상기 I-채널의 코드 발생기의 소정 번째 출력의 다음 출력이 상기 Q-채널의 코드 발생기의 소정 번째의 다음 출력과 1의 보수의 관계에 있으며; 상기 I-채널의 코드 발생기의 소정 번째의 출력이 상기 Q-채널의 코드 발생기의 소정 번째 출력과 1의 보수의 관계에 있으면, 상기 I-채널의 코드 발생기의 소정 번째 출력의 다음 출력이 상기 Q-채널의 코드 발생기의 소정 번째의 다음 출력과 같은 것을 특징으로 하는 직접 시퀀스 확산 스펙트럼 OQPSK 칩 변조장치.

도면

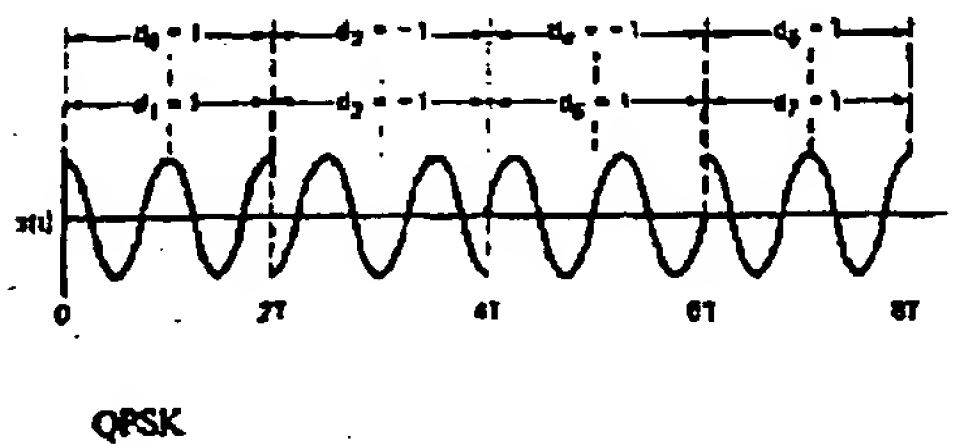
도면 1

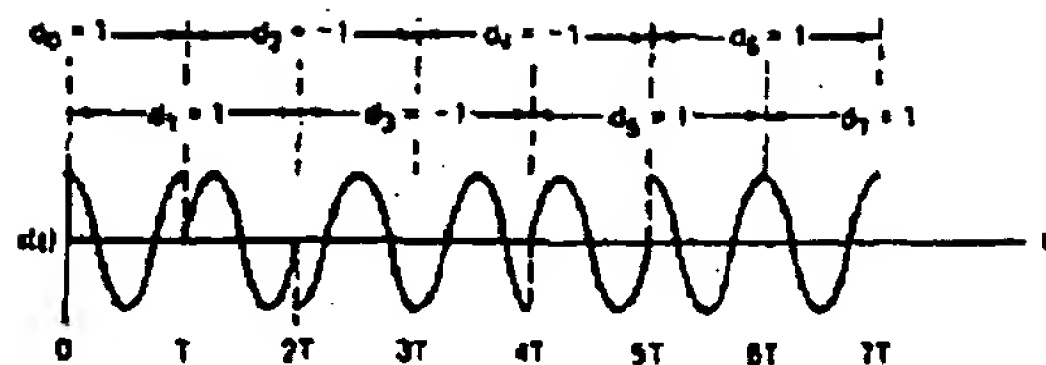


도면 2



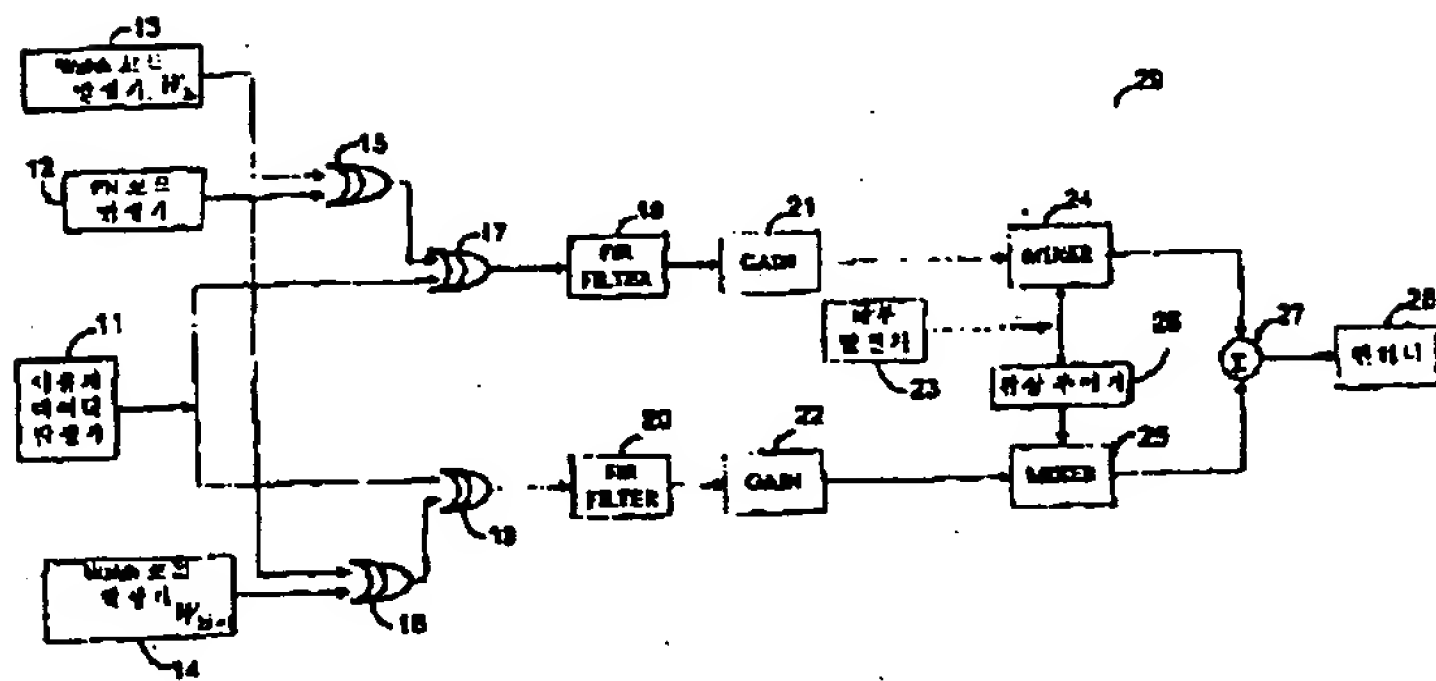
도면 3a



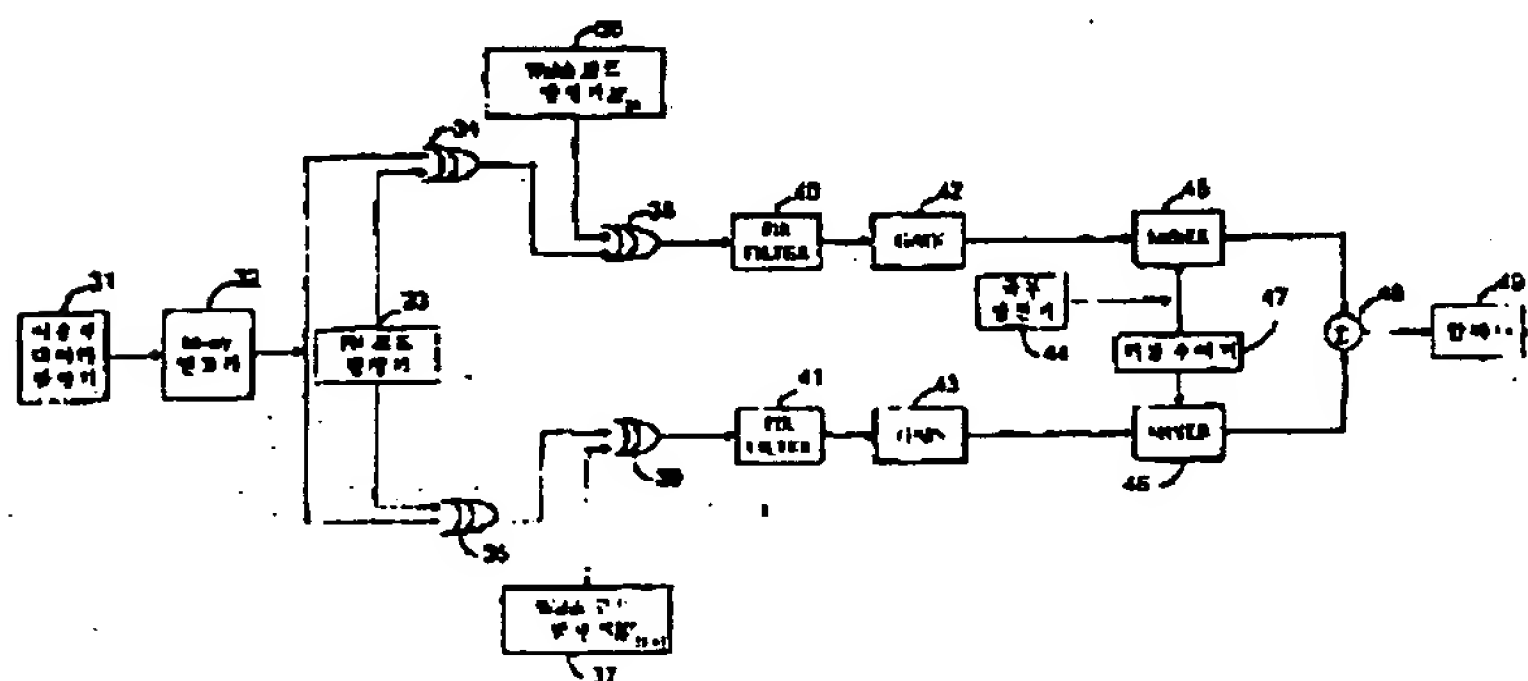


Offset QPSK

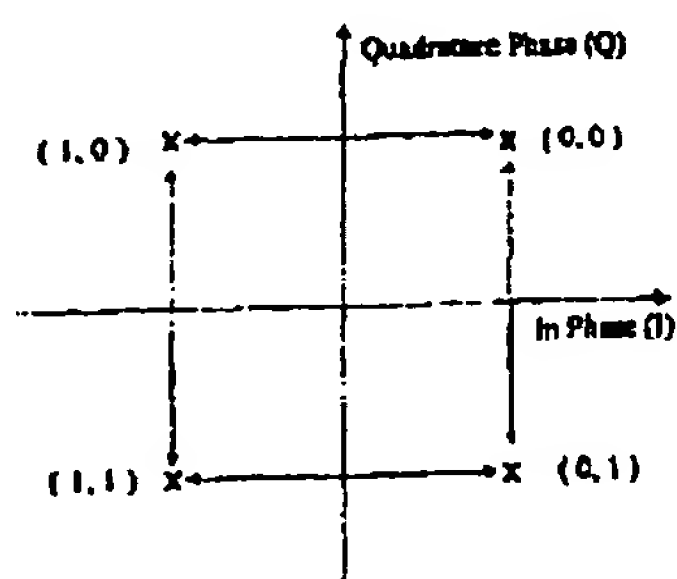
도면 4

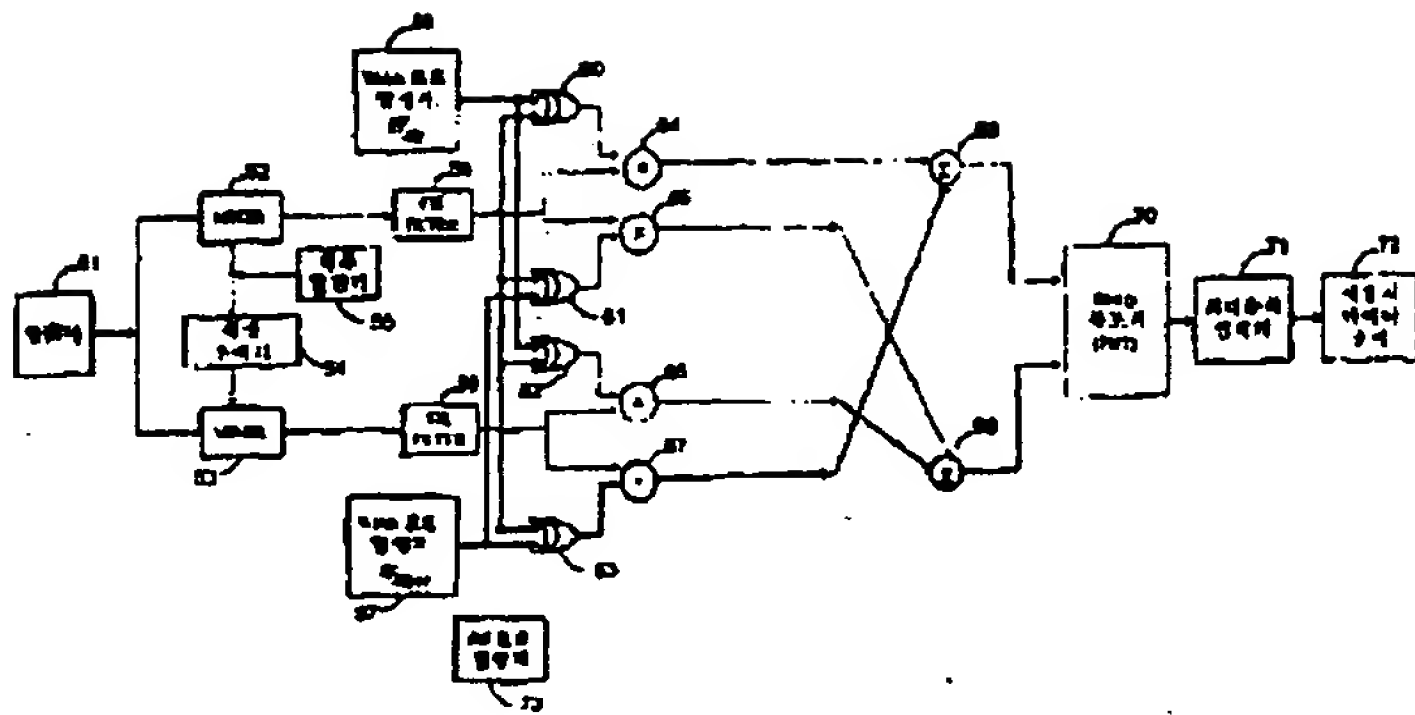


도면 5



도면 6





[Abstract]

[Abstract]

The present invention relates to an apparatus for modulating chips by using an offset quadrature-phase shift keying (OQPSK) of a direct sequence spread spectrum (DSSS). The DSSS OQPSK chip modulating apparatus having an I-channel for an in-phase signal of a message signal and a Q-channel for an orthogonal phase signal of the message signal includes: a pseudo-random noise generating unit for generating pseudo-random noises; a first Walsh code generating unit for generating a first Walsh code; a first spreading unit for spreading and outputting the pseudo-random noise by using the first Walsh code; a first precoding unit for spreading the message signal by using an output signal of the first spreading unit to output the resultant signal to the I-channel; a second Walsh code generating unit for generating a second Walsh code orthogonal to the first Walsh code; a second spreading unit for spreading and outputting the pseudo-random noise code by using the second Walsh code; and a second precoding unit for spreading the message signal by using an output signal of the second spreading unit to output the resultant signal to the Q-channel. Thus, the DSSS OQPSK chip modulating apparatus is constructed by combining a conventional DSSS QPSK chip modulating apparatus with a

spreading code unit and a precoding unit. Particularly,
interferences between adjacent symbols are eliminated in the
DSSS while a property of the OQPSK is maintained. As a result
of this effect, it is possible to implement the modulating
5 apparatus by using solely spectrum spreading codes even
without a time delaying device.

[Selected Drawing]

FIG. 1

10

【Specification】

【Title of the Invention】

APPARATUS FOR MODULATING CHIPS BY USING OFFSET
QUADRATURE-PHASE SHIFT KEYING OF DIRECT SEQUENCE SPREAD
5 SPECTRUM

【Brief Description of the Drawings】

Fig. 1 is a block diagram showing a conventional
apparatus for modulating chips by using an offset quadrature-
10 phase shift keying (OQPSK) of a direct sequence spread
spectrum (DSSS).

Fig. 2 is a diagram showing data streamings of the OQPSK.

Figs. 3a and 3b are diagrams showing wave forms of a QPSK
and the OQPSK.

15 Fig. 4 is a block diagram of an apparatus for modulating
chips by using an OQPSK of a DSSS (hereinafter referred to as
a DSSS OQPSK chip modulating apparatus) without a half-chip
delaying in accordance with a first preferred embodiment of
the present invention.

20 Fig. 5 is a block diagram of the DSSS OQPSK chip
modulating apparatus without the half-chip delaying applied to
a 64-ary data modulating apparatus in accordance with a second
preferred embodiment of the present invention.

Fig. 6 is a diagram showing a quadrature plane for the

DSSS OQPSK chip modulating apparatus without the half-chip delaying in accordance with the present invention.

Fig. 7 is a block diagram of the 64-ary DSSS OQPSK chip modulating apparatus without a half-chip delaying.

5

【Detailed Description of the Invention】

【Object of the Invention】

【Field of the Invention and the Related Prior Art】

10 The present invention relates to a direct sequence spread spectrum (DSSS) offset quadrature-phase shift keying (OQPSK) chip modulating apparatus; and, more particularly, to an apparatus for modulating chips by using an OQPSK of a DSSS.

15 Fig. 1 is a block diagram of a conventional DSSS OQPSK chip modulating apparatus.

20 As shown, in the conventional DSSS OQPSK chip modulating apparatus, an output of a user data generator (1) is divided into two channels; they are, an in-phase channel (hereinafter referred to as an I-channel) and a quadrature-phase channel (hereinafter referred to as a Q-channel).

25 Then, the output is spread by a pseudo-random noise (PN) code generator (2). At this time, in the I-channel, an output of data from an input signal is spread without any change. In the Q-channel, the input signal is delayed and outputted as a half-chip delayed signal by using a half-chip delay unit (5).

Fig. 2 is a diagram showing data streamings of the OQPSK.

In Fig. 2, $d_1(t)$ expresses an output of an exclusive logic summation of the I-channel shown in Fig. 1. $c_0(t)$ expresses an output of the half-chip delay unit (5) in the Q-channel. Herein, one chip has a time period of about $2T$. As shown in Fig. 2, the output from the Q-channel is delayed as much as a time period of a half-chip, i.e., $1T$.

Figs. 3a and 3b are diagrams showing wave forms of a QPSK and the OQPSK. With reference to Figs. 3a and 3b, detailed descriptions on waveforms of the QPSK and the OQPSK will be provided hereinafter. Fig. 3b represents an output $s(t)$ of a transmission terminal of an adder (10) shown in Fig. 1. As shown in Fig. 3a, a phase change of the QPSK ranges up to about 180 degrees. However, as shown in Fig. 3b, the phase change of the OQPSK ranges up to a maximum of about 90 degrees.

In a conventional DSSS OQPSK chip modulation scheme, a phase change does not occur abruptly due to maximally set allowable degree of the phase change between neighboring symbols. As mentioned above, the maximum degree of the phase change of the OQPSK is about 90 degrees. On the contrary to this advantage, there exist problems that a device complexity is caused by using the half-chip delay unit and a degradation of performance is resulted from reciprocal interferences between an in-phase signal and a quadrature-phase signal.

[Object of the Invention]

Therefore, it is an object of the present invention to

provide a DSSS OQPSK chip modulating apparatus being simply and easily realizable by eliminating an interference between an in-phase signal and a quadrature-phase signal through the use of a precoded pseudo-random noise (PN) code without
5 employing a half-chip delaying unit.

【Configuration of the Invention】

In accordance with one aspect of the present invention, there is provided an apparatus for modulating chips by using
10 an offset quadrature-phase shift keying (OQPSK) of a direct sequence spread spectrum (DSSS). The apparatus includes: a pseudo-random noise generating unit for generating pseudo-random noises; a first Walsh code generating unit for generating a first Walsh code; a first spreading unit for
15 spreading and outputting the pseudo-random noise by using the first Walsh code; a first precoding unit for spreading the message signal by using an output signal of the first spreading unit to output the resultant signal to the I-channel; a second Walsh code generating unit for generating a
20 second Walsh code orthogonal to the first Walsh code; a second spreading unit for spreading and outputting the pseudo-random noise code by using the second Walsh code; and a second precoding unit for spreading the message signal by using an output signal of the second spreading unit to output the
25 resultant signal to the Q-channel.

【Description of the Invention】

Hereinafter, with reference to the drawings, preferred embodiments of the present invention will be explained in more detail.

5 Fig. 4 is a block diagram showing an apparatus for modulating an offset quadrature-phase shift keying (OQPSK) chip of a direct sequence spread spectrum (DSSS) without a half-chip delaying in accordance with a first preferred embodiment of the present invention. As shown, the DSSS OQPSK
10 chip modulating apparatus is implemented by combining a conventional DSSS QPSK chip modulation apparatus with a pseudo-random noise (PN) precoding device.

In the conventional DSSS QPSK chip modulating apparatus (29), input data generated from a user data generator (11) is
15 spread by being multiplied with outputs of a PN code generator (12) generating an in-phase signal and a quadrature-phase signal. The multiplication used herein is a modular 2 operation.

Outputs of a first exclusive logic summation (17) and a
20 second exclusive logic summation (18) are inputted as spread signals into a first and a second finite impulse response filters (19 and 20), respectively. Hereinafter, the first and the second finite impulse response filters (19 and 20) are referred to as FIR filters. Output signals of the first and

the second FIR filters (19 and 20) are inputted into a first and a second transmission output control units (21 and 22) which, in turn, control an output of a transmission power amplifier in response to the input signals.

5 In an I-channel, an output of the first transmission output control unit (21) is coupled to a first mixer (24) after being multiplied with $\cos c_0 t$, which is a signal generated from a local oscillator (23). On the other hand, in a Q-channel, the output of the first transmission output control unit (21) is multiplied with $\sin c_0 t$, which is an
10 output of a phase shifter 26, and is coupled to a second mixer 25. Outputs of the first and the second mixers (24 and 25) are combined together in the I-channel and the Q-channel, and an output of an adder 27 is transmitted through an antenna
15 (28).

There are provided detailed descriptions on the precoding device for precoding a PN code hereinafter. In the I-channel, the precoding is carried out by multiplying an output of a first Walsh code generator (13) generating W_{2k} with a PN code
20 and, thereafter, a precoded signal is outputted from a first exclusive logic summation (15). In the Q-channel, the precoding is carried out by multiplying an output of a second Walsh code generator (14) generating W_{2k+1} with the same PN code and, thereafter, the precoded signal is outputted from a

second exclusive logic summation (16).

Herein, the Walsh codes generated from the first and the second Walsh code generators (13 and 14) have the same chip rate of the PN code generator (12). The Walsh codes are
5 obtained from the Hadamard matrix having the following characteristic.

The following is an orthogonal codeword set.

$$H_1 = \begin{bmatrix} 0 & 0 \\ 0 & 1 \end{bmatrix}$$

10

$$H_2 = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 1 & 1 \\ 0 & 1 & 1 & 0 \end{bmatrix} = \begin{bmatrix} H_1 & H_1 \\ H_1 & H_1 \end{bmatrix}$$

This orthogonal codeword set can be generalized and expressed in k in the following.

15

$$H_k = \begin{bmatrix} H_{k-1} & H_{k-1} \\ H_{k-1} & H_{k-1} \end{bmatrix}$$

Herein, H_k is expressed in a matrix of $2^k \times 2^k$, and each column represents the Walsh code.

20

Herein, W_{2k} and W_{2k+1} are used, and a careful review on a

sequence of these two Walsh codes reveals the following properties.

Under an assumption that W_{2ki} is an i^{th} output of a $2k^{\text{th}}$ Walsh code and \bar{W} is a complement of integer 1 of W , the following relationship can be established as follows.

$$\text{If } W_{2k,i} = W_{2k+1,i}, W_{2k,i+1} = \overline{W_{2k+1,i+1}}$$

$$\text{If } W_{2k,i} = \overline{W_{2k+1,i}}, W_{2k,i+1} = W_{2k+1,i+1} \quad \text{Eq. 1}$$

Based on this equation, a phase of the output signal is not shifted to about 180 degrees.

$$W_{2k+1,i+1} = \overline{W_{2k,i}} \text{ and } W_{2k+1,i} = \overline{W_{2k,i+1}}$$

When the above described precoding device is implemented in the DSSS QPSK modulating apparatus, the phase change of the output signal has the same property of the OQPSK of which phase change does not exceed about 90 degrees. This relationship can be expressed in a space signal diagram by using an in-phase axis under W_{2k} and a quadrature-phase axis under W_{2k+1} as shown in Fig. 6.

Fig. 6 is a diagram showing a signal space of the DSSS OQPSK chip modulating apparatus without a half-chip delaying

in accordance with the present invention.

As shown, the phase change between neighboring symbols ranges within about 90 degrees.

Fig. 5 is a block diagram showing a case of applying the DSSS OQPSK chip modulating apparatus without the half-chip delaying to a 64-ary data modulating apparatus in accordance with a second preferred embodiment of the present invention.

Referring to Fig. 5, a signal provided from a user data generator (31) is modulated and outputted into an orthogonal code of about 64×64 in a 64-ary orthogonal modulator (32). That is, the signal is changed into an orthogonal code word having each different 64 binary sequences, i.e., sequences from a first Walsh function (W_0) to a 64^{th} Walsh function (W_{63}). Herein, each sequence set is called Walsh function.

An output of the 64-ary orthogonal modulator 32 is called a Walsh chip. Since one Walsh chip has about 4 spread sequences, a period of the Walsh function in the I-channel and the Q-channel is about 4 chips. Thus, it is possible to use four dimensional H_4 in the Hadamard matrix. Therefore, k of the Walsh code can be an integer of 1 or 0.

The output of the 64-ary modulator (32) is spread by a PN code generator (33). The Walsh code W_{2k} is multiplied therewith in the I-channel, while the Walsh code W_{2k+1} is multiplied therewith in the Q-channel. The rest signal

processing procedures are the same as described in Fig. 1.

Fig. 7 is a block diagram of the 64-ary DSSS OQPSK chip demodulating apparatus without the half-chip delaying. More detailed descriptions on the 64-ary DSSS OQPSK chip demodulating apparatus without the half-chip delaying are provided hereinafter.

Fig. 7 is a demodulating apparatus capable of demodulating a signal transmitted from a transmission terminal of the DSSS OQPSK modulating apparatus without the half-chip delaying applied to the 64-ary data modulating apparatus into the original signal.

In the I-channel, a signal received from an antenna (51) is multiplied with a signal of $\cos c_0 t$ generated from a local oscillator (55). Meanwhile, in the Q-channel, a signal received from the antenna (51) is multiplied with an output of $\sin c_0 t$ provided from a phase shifter in 90 degrees (54), and this multiplication results in a downward conversion leading the signal to become a base-band signal.

Outputs of a first mixer (52) and a second mixer (53) in the I-channel and the Q-channel are inputted into a first finite impulse response (FIR) filter (58) and a second FIR filter (59), respectively.

A Walsh code W_{2k} outputted from a first Walsh code generator (56) and a PN code outputted from a PN code

generator (73) are spread and outputted in a first exclusive logic summation (60) and a second exclusive logic summation (62). Also, a Walsh code W_{2k+1} outputted from a second Walsh code generator (57) and a PN code outputted from the PN code generator (73) are spread and outputted in a third exclusive logic summation (61) and a fourth exclusive logic summation (63).

In a first multiplier (64), an output signal of the first FIR filter (58) is multiplied with an output signal of the first exclusive logic summation (60). In a second multiplier (65), the output signal of the first FIR filter (58) is multiplied with an output signal of the third exclusive logic summation (61). In a third multiplier (66), an output signal of the second FIR filter (59) is multiplied with an output signal of the second exclusive logic summation (62). In a fourth multiplier (67), the output signal of the second FIR filter (59) is multiplied with an output signal of the fourth exclusive logic summation.

In the I-channel, a first adder (68) adds an output signal of the first multiplier (64) and an output signal of the fourth multiplier (67). Identically, in the Q-channel, a second adder (69) adds an output signal of the second multiplier (65) and an output signal of the third multiplier (66). Herein, Walsh codes generated from the first Walsh code

generator (56) and the second Walsh code generator (57) have the same chip rate to outputs of the PN code generator (73).

A fast Hadamard transform (FHT: 70), which is a 64-ary demodulator, receives an output signal of the first adder (68) and an output signal of the second adder (69) and outputs 64 coefficients for 6 Walsh symbols.

Then, among the 64 coefficients received from the FHT (70), a maximum output selector (71) selects and outputs the coefficient having a maximum value. Afterwards, a user data output block (72) retrieves corresponding transmitted data.

While the present invention has been shown and described with respect to the particular embodiments, it will be apparent to those skilled in the art that many changes and modifications may be made without departing from the spirit and scope of the invention as defined in the appended claims.

【Effect of the Invention】

In accordance with the preferred embodiments, the inventive DSSS OQPSK chip modulating apparatus is constructed by combining the conventional DSSS OQPSK chip modulating apparatus with the spreading code unit and the precoding unit. Particularly, interferences between adjacent symbols are eliminated in the DSSS while a property of the OQPSK is maintained. As a result of this effect, it is possible to

implement the modulating apparatus by using solely spectrum spreading codes even without a time delaying device.

[Claims]

[Claim 1] An apparatus for modulating chips by using an offset quadrature-phase shift keying (OQPSK) of a direct sequence spread spectrum (DSSS), the apparatus comprising:

5 a pseudo-random noise generating means for generating pseudo-random noises;

a first Walsh code generating means for generating a first Walsh code;

10 a first spreading means for spreading and outputting the pseudo-random noise by using the first Walsh code;

a first precoding means for spreading the message signal by using an output signal of the first spreading means to output the resultant signal to an I-channel;

15 a second Walsh code generating means for generating a second Walsh code orthogonal to the first Walsh code;

a second spreading means for spreading and outputting the pseudo-random noise code by using the second Walsh code; and

20 a second precoding means for spreading the message signal by using an output signal of the second spreading means to output the resultant signal to a Q-channel,

wherein the apparatus has the I-channel for an in-phase signal of a message signal and the Q-channel for an orthogonal phase signal of the message signal.

25

[Claim 2] The apparatus as recited in claim 1, wherein a

chip rate of the pseudo-random noise generated by the pseudo noise generating means is the same as that of the first Walsh code generated by the first Walsh code generating means and that of the second Walsh code generated by the second Walsh
5 code generating means.

【Claim 3】 The apparatus as recited in claim 1, wherein the first Walsh code generated by the first Walsh code generating means and the second Walsh code generated by the second Walsh
10 code generating means are obtained from the Hadamard matrix.

【Claim 4】 The apparatus as recited in claim 1, wherein the first spreading means, the second spreading means, the first precoding means and the second precoding means operate an
15 exclusive logic summation of two input signals and output the result.

【Claim 5】 The apparatus as recited in claim 1, wherein if a predetermined ordinal order of an output from the first Walsh
20 code generating means of the I-channel is identical to a predetermined ordinal order of an output from the second Walsh code generating means of the Q-channel, an output next to the predetermined ordinal order of the output from the first Walsh code generating means of the I-channel has a relationship of a
25 complement of integer 1 with an output next to the predetermined ordinal order of the output from the second

Walsh code generating means of the Q-channel; and if a predetermined ordinal order of an output from the first Walsh code generating means of the I-channel has a relationship of a complement of integer 1 with a predetermined ordinal order of an output from the second Walsh code generating means of the Q-channel, an output next to the predetermined ordinal order of the output from the first Walsh code generating means of the I-channel is identical to an output next to the predetermined ordinal order of the output from the second Walsh code generating means of the Q-channel.